

DIALOG(R)File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.
008102907 **Image available**

WPI Acc No: 1989-368018/198950

Semiconductor device mfr. - by recrystallising amorphous islands
including polycrystalline silicon mesa patterns, and forming thin film
transistors NoAbstract Dwg 1/8

Patent Assignee: EPSON CORP (SHIH)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 1276615	A	19891107	JP 88104822	A	19880427	198950 B

Priority Applications (No Type Date): JP 88104822 A 19880427

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 1276615	A	3		

Title Terms: SEMICONDUCTOR; DEVICE; MANUFACTURE; RECRYSTALLISATION;
AMORPHOUS; ISLAND; POLYCRYSTALLINE; SILICON; MESA; PATTERN;
FORMING; THIN ; FILM; TRANSISTOR; NOABSTRACT

Derwent Class: L03; U11; U12; U14

International Patent Class (Additional): H01L-021/20; H01L-027/00;
H01L-029/78

File Segment: CPI; EPI

CONSTITUTION: Patterns of island-shaped regions 104 of amorphous silicon and coupling regions 105 of amorphous silicon are formed. Amorphous material layers whose pattern has been formed are crystal-grown by making use of islands 102 of polycrystalline silicon as seeds; the amorphous silicon layers are crystallized. When crystal grains 304 are superior to 305, crystal growth is stopped in a halfway part of the coupling region; only the crystal grains 304 are grown in island-shaped region; single crystal is realized. Even when the island-shaped region becomes not monocrystalline but polycrystalline, position where a grain boundary exists is limited considerably. By this setup, it is possible to form a semiconductor element selectively in a crystallized region.

訂正有り

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-276615

⑬ Int. Cl.⁴

H 01 L 21/20
21/263
27/00
29/78

識別記号

3 0 1
3 1 1

庁内整理番号

7739-5F

R-7514-5F

Y-8624-5F 審査請求 未請求 請求項の数 1 (全11頁)

⑭ 公開 平成1年(1989)11月7日

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭63-104822

⑰ 出 願 昭63(1988)4月27日

⑱ 発 明 者 岡 秀 明 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式
会社内

⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

⑳ 代 理 人 弁理士 上柳 雅 菅 外1名

明 細 書

本発明は、半導体装置の製造方法に関する。

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

絶縁性非晶質材料上に多結晶シリコンを形成し、該多結晶シリコンの一部にシード領域を形成する第一の工程、シリコンを主体とする非晶質材料層を形成する第二の工程、該非晶質材料層の一部を除去し、島状領域及び該シード領域と該島状領域とを結ぶ連結領域を少なくとも有する形状に該非晶質材料層をパターン形成する第三の工程、該非晶質材料層を該シード領域をシードとして結晶成長させる第四の工程、結晶化された領域に半導体素子を形成する第五の工程を少なくとも有することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

[従来の技術]

ガラス、石英等の絶縁性非晶質基板や、M S G等の絶縁性非晶質層上に高性能な半導体素子(例えば薄膜トランジスタ等)を形成する試みが成されている。特に、近年、大型で高解像度の液晶表示パネルや高速、高解像度の密着型イメージセンサや三次元I O等へのニーズが高まるにつれて、上述の様な高性能な半導体素子の実現が要望されている。

絶縁性非晶質材料上に薄膜トランジスタ(T F T)を形成する場合を例にとると、(1)プラズマC V D法等による非晶質シリコンを素子材としたT F T、(2)O V D法等による多結晶シリコンを素子材としたT F T が、それぞれ液晶パネル等に応用され実用化されている。ところが、これらのT F Tの電界効果移動度は、単結晶シリコンを素子材としたM O S トランジスタに比べて大巾に低く、(非晶質シリコンT F T < 1 c m²/V・sec, 多結

品シリコンTFT(10 μ m/V \cdot sec), 高性能なTFTの実現は困難であった。

そこで、大粒径(1~数十 μ m程度)の多結晶シリコンを固相成長させる方法が注目され、研究が進められている。(Thin Solid Films, 100(1983) P.227, JJAP Vol. 25 No.2 (1986) P.L121)

〔発明が解決しようとする課題〕

しかし、従来技術では、多結晶シリコンの粒径、結晶粒界が存在する場所を十分に制御することが困難であった。仮に、100 μ m程度の大粒径の多結晶シリコンが形成できたとしても、結晶粒の内部に形成されたTFTと結晶粒界部にTFTのチャンネル領域が位置したTFTの間で、特性が大巾に異なることから、TFTで構成された走査回路の動作速度が、特性の悪い、結晶粒界部に位置するTFTの特性で制限されたり、最悪の場合は、回路が動作しない等の重大な問題が発生した。

半導体装置の製造工程図である。第1図は断面図を、第2図は平面図を示す。尚、本実施例では、シード領域として、多結晶シリコンを島状にパターン形成したシリコンの島を用いる場合を例としている。シード領域の形成方法には、これに限らず種々の方法が有る。又、本実施例では、半導体素子としてTFT(薄膜トランジスタ)を形成する場合を例として採り上げている。

第1図及び第2図において、(a)は、ガラス、石英等の絶縁性非晶質基板、若しくは、MGO等の絶縁性非晶質材料層等の絶縁性非晶質材料101上に多結晶シリコンを形成し、該多結晶シリコンの一部にシード領域を形成する第一の工程である。本実施例では、シード領域として、該多結晶シリコンを島状にパターン形成したシリコンの島102を用いる場合を例としている。(b)は、該絶縁性非晶質材料101及び該シリコンの島102上にシリコンを主体とする非晶質材料層103を形成する工程である。(c)は該非晶質材料層の一部を除去し、非晶質材料の島状領域10

そこで、本発明は、結晶粒界の位置を制御し、半導体素子を結晶領域に選択的に形成する製造方法を提供するものである。

〔課題を解決するための手段〕

本発明の半導体装置の製造方法は、絶縁性非晶質材料上に多結晶シリコンを形成し、該多結晶シリコンの一部にシード領域を形成する第一の工程、シリコンを主体とする非晶質材料層を形成する第二の工程、該非晶質材料層の一部を除去し、島状領域及び該シード領域と該島状領域とを結ぶ連結領域を少なくとも有する形状に該非晶質材料層をパターン形成する第三の工程、該非晶質材料層を該シード領域をシードとして結晶成長させる第四の工程、結晶化された領域に半導体素子を形成する第五の工程を少なくとも有することを特徴とする。

〔実施例〕

第1図及び第2図は本発明の実施例における半

4及び該シリコンの島102と該島状領域104とを結ぶ非晶質材料の連結領域105を少なくとも有する形状に該非晶質材料層をパターン形成する工程である。(d)は工程(c)でパターン形成された非晶質材料層を該シリコンの島をシードとして結晶成長させ、非晶質材料層を結晶化する工程である。(e)は結晶化された領域106に、半導体素子を形成する工程である。尚、第1図(c)では半導体素子としてTFTを形成する場合を例として採り上げている。図において、107はゲート電極、108はソース・ドレイン領域、109は層間絶縁膜、110はコンタクト穴、111は配線、112はゲート絶縁膜、113はシリコンの島が存在した場所を示す。

続いて、各工程の製造条件及び技術的ポイントを述べる。

工程(a)は、ガラス、石英等の絶縁性非晶質基板、若しくは、MGO等の絶縁性非晶質材料層上に、結晶成長のシードとなるシリコンの島102を形成する工程である。シードとして、多結晶

シリコンを用いる点が本発明の特徴の一つである。その技術的ポイントは、多結晶シリコンの結晶粒径、配向性及びシリコンの島の大きさ（厳密には、シリコンの島とその上に形成された非晶質層の連結領域とが重なっている部分の大きさ）にある。すなわち、多結晶シリコンの結晶粒径が大きく、その配向性が優れ、シリコンの島の大きさが小さい程、シードとして単結晶シリコンを用いた場合に近い結晶成長が成される。中でも、シリコンの島（すなわち、シード領域）の大きさが、結晶粒径に比べて小さくなる様に、大粒径の多結晶シリコンを形成し、微細なシリコンの島を形成する点が重要である。多結晶シリコンの形成方法としては、 OVD 法等で多結晶シリコン膜を形成する方法がある。この方法は、最も一般的な成膜法であり、簡便な方法で多結晶シリコンが形成できる点では優れているが、結晶粒径が数百 \AA 程度と小さい点が難点である。大粒径多結晶シリコンを形成するには、(1)非晶質シリコンをプラズマ OVD 法、蒸着法、 EB 蒸着法、 MBE 法、 OVD 法

多結晶化に要する時間を短縮（最大で約10の1）することも可能である。さらに、上述の方法は結晶粒径の増大にも効果が有る。尚、言うまでも無くシリコンの島はシードを成す領域であり、素子を形成する領域では無いので、 $10^{18} \sim 10^{21} \text{ cm}^{-3}$ 程度の高濃度の不純物をドーピングしても何ら問題とならない。

シリコンの島102の大きさは、少なくとも、多結晶シリコンの結晶粒径と同程度以下が望ましく、粒径の約10の1以下が好適である。従って、島の大きさは、数千 \AA ～数 μm 程度が望ましい。例えば、結晶粒径が $10 \sim 20 \mu\text{m}$ 以上で、島の大きさが $0.5 \mu\text{m}$ 角程度以下の場合、島の大部分は単結晶シリコンで、残りの島の多くも、島の中に存在する結晶粒界がせいぜい1本の多結晶シリコンになり、シード領域に単結晶シリコンを用いた場合に近い結晶成長が成され、大変好ましい。

又、シリコンの島の膜厚に関しては、 $100 \text{\AA} \sim 1 \mu\text{m}$ 程度の間に最適値が存在する。ただし、

スパッタ法等の方法で形成し、 $500 \sim 700$ 程度程度の熱処理等で多結晶化する方法、(2)微結晶シリコン、多結晶シリコン等をプラズマ OVD 法、 OVD 法、蒸着法、 MBE 法、 EB 蒸着法、スパッタ法等の方法で形成後、 Si 、 Ar 、 B 、 P 、 N 、 H_2 、 H_2O 、 Kr 、 H 等の元素をイオン打込みし、該微結晶シリコン、多結晶シリコン等を非晶質化した後で、 $500 \sim 700$ 程度程度の熱処理等で多結晶化する方法がある。これらの方法で形成した多結晶シリコンは、配向性が良好で、しかも結晶粒径も約 $1 \mu\text{m}$ ～数十 μm 以上と大きいことから、シリコンの島（シード）の形成方法として有効である。中でも、蒸着法、 EB 蒸着法、 MBE 法等で形成した非晶質シリコンを 500 程度～ 600 程度で熱処理することによって得られる多結晶シリコンは、粒径を数十 μm 以上にすることも可能で、又、結晶の配向性も良好であることから、シードの形成方法として特に有効である。又、非晶質シリコン層に $10^{18} \sim 10^{21} \text{ cm}^{-3}$ 程度の不純物（例えば P ）をドーピングすることで、

シリコンの島の膜厚が厚くなると、島の段差部を被覆する非晶質シリコン層にクラックが入ったり、段差部で複数の核生成、結晶成長が起こり易くなる等の問題を生ずる為、 $100 \text{\AA} \sim 2000 \text{\AA}$ 程度が望ましく、 $100 \text{\AA} \sim 500 \text{\AA}$ が特に好ましい。又、該シリコンの島102にテーパをつけることで、上述の問題を低減する方法も有効である。

又、島の膜厚を $100 \text{\AA} \sim 2000 \text{\AA}$ 程度と薄くした場合、熱処理等による多結晶シリコンの大粒径化が困難となる場合がある。その場合は、非晶質層を厚く（例えば、 $0.5 \mu\text{m} \sim 3 \mu\text{m}$ 程度）形成し、熱処理等により、大粒径の多結晶シリコンを形成した後で、エッチングにより、該多結晶シリコンを所望の膜厚に薄膜化する方法が極めて有効である。

工程(4)は、絶縁性非晶質材料101及びシリコンの島102上にシリコンを主体とする非晶質材料層103を形成する工程である。該非晶質材料層は、プラズマ OVD 法、蒸着法、 EB 蒸着

法、MBE法、スパッタ法、OVD法等の方法で非晶質シリコンを成膜する方法と、微結晶シリコン、多結晶シリコン等をプラズマOVD法、OVD法、蒸着法、EB蒸着法、MBE法、スパッタ法等の方法で形成後、Si, Ar, B, P, N, H₂, H₂O, Kr, H等の元素をイオン打ち込むことで、該微結晶シリコン、多結晶シリコン等を非晶質化する等の方法で非晶質シリコン層を形成する方法がある。

工程(c)は、該非晶質材料層の一部を除去し、非晶質シリコンの島状領域104及び該シリコンの島102と該島状領域とを結ぶ非晶質シリコンの連結領域105を少なくとも有する形状に該非晶質シリコン層をパターン形成する工程である。島状領域104とシードを成すシリコンの島102とが、細い(島状領域と比べて)連結領域105で結ばれる形状にパターン形成を行なう点が、後で述べる理由で重要である。

工程(d)は、工程(c)でパターン形成された非晶質材料層をシリコンの島102をシードと

核の発生が少なく、望ましい温度である。又、熱処理に要する時間(すなわち、結晶化に要する時間)は、同一熱処理温度でも、非晶質シリコン層103の形成方法によって異なる。例えば、プラズマOVD法で形成した非晶質シリコン(特に、基板温度350℃程度以下で形成した非晶質シリコン)は、600℃程度の熱処理では結晶化が起こり難く、700℃程度の高温で十時間以上の熱処理時間が必要で、シード領域以外からの核生成、結晶成長も起こり易い。又、プラズマOVD法で形成した非晶質シリコンにおいても、基板温度450℃～600℃程度の比較的高温で成膜した膜は、上述の非晶質シリコンと異なり、600℃程度の熱処理で結晶成長が起こり、シード領域からの選択的な結晶成長が成され易い。プラズマOVD法で、350℃程度以下で形成した非晶質シリコンは膜中に数%～十数%程度の多量の水素を含有し、これらの水素が、600℃程度のアニールでは完全に抜けない為、残留した水素が結晶成長の妨げになるものと思われる。一方、基板温

して結晶成長させ、非晶質シリコン層を結晶化する工程である。結晶成長させる方法としては、線状加熱形帯域溶融再結晶化法、レーザービーム再結晶化法、電子ビーム再結晶化法等の溶融再結晶化法により結晶成長させることができる。他の方法としては、非晶質層を溶融せずに、固相で結晶成長させる固相成長法がある。この方法は、500℃～700℃程度の低温で結晶成長が成される特徴を有し、基板として、安価なガラス基板を使え、又、基板の大型化も容易である等の優れたメリットが有る。

上述の固相成長法におけるアニール条件は、非晶質シリコン層103の形成方法によって、最適条件が異なる。熱処理温度は500～900℃の間に最適値が存在する。熱処理温度が高くなると、結晶化に要する時間が短くなるが、シリコンの島102以外の部分でも核の生成及び結晶成長が起こり易くなる。その結果、島状領域104がランダムな多結晶シリコンになり易くなる。従って、熱処理温度は500℃～700℃程度が多結晶

度450℃～600℃中でも、500℃～550℃程度の高温で成膜した膜は、非晶質でしかも膜中の水素量が極めて少ない為、600℃程度のアニールでも結晶成長が起こり易くなるものと思われる。さらに、該非晶質シリコン層106を蒸着法、EB蒸着法、MBE法等で形成した場合は、500℃～600℃程度の比較的低温のアニールで結晶成長が起こり、結晶成長に要する時間も数時間程度に短縮することも可能である。上述の方法では、蒸着時の真空度を高く(望ましくは、 10^{-4} ～ 10^{-5} Pa程度)することで、水素や不純物等が混入していない非晶質シリコンが形成できるメリットがある。

図1を、非晶質シリコン層を第1図(c)に示した如く、島状領域104と連結領域105を少なくとも有する形状にパターン形成した効果に関して述べる。

非晶質シリコン層をシリコンの島等をシードとして結晶成長させるに際して問題となるのは、多結晶核の発生である。シード領域以外の領域での

多結晶核の発生は、前述の様に、非晶質シリコン層の形成条件、熱処理温度等を最適化することで大巾に低減できる。しかし、本発明においては、多結晶シリコン層の一部にシード領域を形成している関係で、すべてのシード領域を単結晶シリコンにすることは困難で、シード領域のうちのいくつかは、シード領域内に結晶粒界が存在する多結晶になっている。この場合、多結晶のシード領域に対応して、結晶方位のわずかに異なった核が生成し、非晶質層が単結晶では無く多結晶に成長する確率が高くなる為、大面積な基板上に、均一な特性の素子を形成することが困難であったり、又、歩留りも低いという問題を生じた。

そこで、本発明の如く非晶質シリコン層を島状領域104と連結領域105を少なくとも有する形状にパターン形成を行なうと、仮にシード領域で複数の核が生成した場合でも、どちらか一方の優勢な(結晶成長速度が速い、又は、結晶成長の開始が早い等の)結晶成長が、細い連結領域で選択され、島状領域が単結晶化される。第3図に結

模式図を示す。401は結晶粒界が存在する確率が高い位置であり、402は、結晶粒界が存在する確率がほぼ零の領域である。403は両者の中間の領域(グレーゾーンと呼ぶことにする。)

尚、404はシード領域、405は島状領域、406は連結領域を示す。

従って、半導体素子としてMOS型トランジスタやTFT等を例とするならば、該素子のチャンネル領域が、領域402に入る様に素子を配置すれば、結晶粒界による素子特性の大巾なばらつきを無くすることができる。その結果、大面積な基板上で均一な素子特性が確実に得られ、歩留りも大巾に向上した。

尚、連結領域の形状は第3図等にした形状以外にも種々の形状が考えられる。第5図～第7図に本発明の実施例における連結領域の平面図の例を示す。

第5図及び第6図において、501, 601はシード領域、502, 602は島状領域、503, 603は連結領域、504, 505及び604

晶成長の模式図の一例を示す。第3図において、301はシード領域、302は島状領域、303は連結領域であり、304及び305は、結晶方位がわずかに異なる結晶粒を示す。第3図に示した様に結晶粒304が305に比べて優勢であると、結晶粒305は連結領域の途中で結晶成長が止まり、島状領域には、結晶粒304のみが成長し、単結晶化が実現される。上述の方法を採用することで、大面積な基板全面にわたって、均一な素子特性が得られ、又、歩留りも向上した。

又、島状領域内に形成する半導体素子のレイアウトも歩留りの向上に重要なパラメータとなる。第3図においては、一方の結晶粒が他方の結晶粒に対して優勢である場合を示したが、確率的には小さいが、二つの結晶粒がほぼ同一に成長を開始し、ほぼ同一の速度で結晶成長が成された場合、島状領域が単結晶ではなく多結晶になる。ただし、その場合でも、結晶粒界が存在する位置は可成り限定されており、結晶粒界が存在する位置を制御できる。第4図に、結晶粒界が存在する位置の

605は結晶粒を示す。連結領域の巾にテーパーをつけたり、巾の狭い領域606を設ける等連結領域の形状を工夫することで、結晶成長の選択をより完全に行なうことができる。

又、結晶成長の選択をより完全に行なうには、第7図に示した様な形状が有効である。第7図において、701はシード領域、702は島状領域、703は連結領域、704, 705は結晶粒を示す。連結領域を第7図に示した様な形状にすることで、成長速度等のわずかな違いにより、結晶成長が選択され、島状領域の単結晶化がより完全に成される。従って、第7図に一例を示した様な形状を採用すれば、第4図に示した様な素子のレイアウトに制限を設けなくとも、高い歩留りが実現できる。

続いて、第1図及び第2図に示した工程(4)は、結晶化された領域106に、半導体素子を形成する工程である。本実施例では、この領域106に半導体素子としてTFTを形成する場合を例として採り上げている。

TFT形成法の一例としては、結晶化されたシリコン層をパターンニングし、続いて、ゲート絶縁膜112を形成する。該ゲート絶縁膜は、熱酸化法により形成する方法(高温プロセス)とOVD法若しくはプラズマOVD法等で600℃程度以下の低温(望ましくは、500℃以下)で形成する方法(低温プロセス)がある。低温プロセスでは、基板として安価なガラス基板を使用できる為、大型な液晶表示パネル、密着型イメージセンサ等の半導体装置を低コストで作製できる他、三次元I/O等を形成する場合においても、下層部の素子に悪影響(例えば、不純物の拡散等)を与えずに、上層部に半導体素子を形成することができる。続いて、ゲート電極107を形成後、ソース・ドレイン領域108をイオン注入法、熱拡散法、プラズマドーピング法等の方法で形成し、層間絶縁膜109をOVD法、スパッタ法、プラズマOVD法等の方法で形成する。さらに、該層間絶縁膜109にコンタクト穴110を開け、配線111を形成することにより、TFTが形成される。

非晶質材料801上に多結晶シリコン層802を形成する工程である。(b)は、イオン注入法により該多結晶シリコン層の一部に酸化シリコン領域803を形成し、シード領域804を選択的に形成する工程である。(c)は、酸化シリコン領域803及びシード領域804上に、シリコンを主体とする非晶質材料層806を形成する工程である。尚、第8図では、該非晶質材料層の一部を除去し、非晶質材料の島状領域及び該シード領域と該島状領域とを結ぶ非晶質材料の連結領域を少なくとも有する形状に該非晶質材料層をパターン形成する工程以降の工程図は省いてある。

続いて、各工程の製造条件及び技術的ポイントを述べる。

工程(a)は、ガラス、石英等の絶縁性非晶質基板、若しくは、 SiO_2 等の絶縁性非晶質材料層801上に、多結晶シリコン層802を形成する工程である。本発明の特徴の一つは、該多結晶シリコン層の一部をシード領域とし、残りをイオン注入法で酸化シリコン領域にして、結晶成長を行

なう点にある。従って、該多結晶シリコンの結晶粒徑、配向性が重要なパラメータとなる。すなわち、多結晶シリコンの結晶粒徑が大きく、その配向性が優れている程、シードとして単結晶シリコンを用いた場合に近い結晶成長が成される。多結晶シリコンの形成方法としては、OVD法等で多結晶シリコン膜を形成する方法がある。この方法は、最も一般的な成膜法であり、簡便な方法で多結晶シリコンが形成できる点では優れているが、結晶粒徑が数百Å程度と小さい点が難点である。大粒徑の多結晶シリコンを形成するには、(1)非晶質シリコンをプラズマOVD法、蒸着法、EB蒸着法、MBE法、OVD法、スパッタ法等の方法で形成し、500~700℃程度の熱処理等で多結晶化する方法、(2)微結晶シリコン、多結晶シリコン等をプラズマOVD法、OVD法、蒸着法、MBE法、EB蒸着法、スパッタ法等の方法で形成後、 Si 、 Ar 、 B 、 P 、 N 、 H_2 、 N_2 、 Kr 、 H 等の元素をイオン打込みし、該微結晶シリコン、多結晶シリコン等を非晶質化した後で、

尚、本実施例ではシード領域にシリコンの島102を用いる場合を示したが、シード領域の形成方法にはこれに限らず種々の方法がある。

第8図は本発明の実施例における半導体装置の製造工程図であり、シード領域形成方法の一例を示す。

第8図において、(a)は、ガラス、石英等の絶縁性非晶質基板、若しくは、 SiO_2 等の絶縁性

500~700℃程度の熱処理等で多結晶化する方法がある。これらの方法で形成した多結晶シリコンは、配向性が良好で、しかも結晶粒径も約1μm~数十μm以上と大きいことから、多結晶シリコン層の形成方法として有効である。中でも、蒸着法、EB蒸着法、MBE法等で形成した非晶質シリコンを500℃~600℃程度で熱処理することによって得られる多結晶シリコンは、粒径を数十μm以上にすることも可能で、又、結晶の配向性も良好であることから、多結晶シリコン層の形成方法として特に有効である。又、非晶質シリコン層に $10^{17} \sim 10^{21} \text{ cm}^{-3}$ 程度の不純物(例えばP)をドーピングすることで、多結晶化に要する時間を短縮(最大で約10分の1)することも可能である。さらに、上述の方法は結晶粒径の増大にも効果が有る。尚、次の工程(b)でシード領域以外の部分に酸化シリコン領域を形成する関係上、非晶質シリコン層に添加する不純物のプロファイルは非晶質シリコン層の表面付近で低く、非晶質材料層801(例えば石英基板)寄りの領域

／cm, 加速電圧 25~40 KeVの条件で、表面から数百nmの深さにわたって良質のSiO₂が形成された。尚、イオン注入後、窒素等の雰囲気中で、800℃~1200℃のアニールを1~3時間行なうと、熱酸化SiO₂に近い特性を有する酸化シリコン層が得られる。又、基板としてガラス等の低融点材料を用いている場合は、上述のアニールのかわりに、250℃~700℃程度のより低温で、イオン注入後の基板に酸素プラズマ処理を施すことで、特に、表面付近の酸化シリコンを熱酸化SiO₂に近い特性を有する酸化シリコンに改質する方法も極めて有効である。又、酸素プラズマ処理のみで酸化シリコン領域を形成する方法もある。

工程(c)は、マスク805を除去した後、酸化シリコン領域803及びシード領域804上に、シリコンを主体とする非晶質材料層806を形成する工程である。該非晶質材料層は、プラズマCVD法、蒸着法、EB蒸着法、MBE法、スパッタ法、CVD法等の方法で非晶質シリコンを成

で高くなる様にドーピングすることが望ましい。これは、例えば、イオン注入法で不純物をドーピングする際の加速電圧等を最適化することで容易に実現される。

工程(d)は、イオン注入法により該多結晶シリコン層の一部に酸化シリコン領域803を形成し、シード領域804を選択的に形成する工程である。工程(e)で形成された多結晶シリコン層802のうちでシード領域となる部分に、まずマスク805(例えば、レジスト、金属、酸化シリコン、窒化シリコン、多結晶シリコン等をマスクの材料とすることができる。)を形成する。続いて、イオン注入法により、酸素イオンを注入し、マスクで覆われたシード領域804以外の領域に酸化シリコン領域803を形成する。この場合、多結晶シリコン層802の表面付近に化学量論的なSiO₂に近い組成の酸化シリコン層が形成されることが望ましく、ドーピング量 $10^{17} \sim 10^{20} \text{ ions/cm}^2$, 加速電圧 20~80 KeV程度が望ましい。特に、ドーピング量 $10^{18} \sim 10^{19} \text{ ions/cm}^2$

膜する方法と、微結晶シリコン、多結晶シリコン等をプラズマCVD法、CVD法、蒸着法、EB蒸着法、MBE法、スパッタ法等の方法で形成後、Si, Ar, B, P, N, He, Ne, Kr, H等の元素をイオン打込ずすることで、該微結晶シリコン、多結晶シリコン等を非晶質化する等の方法で非晶質シリコン層を形成する方法がある。

又、シード領域の形成方法としては、この他に、例えば、多結晶シリコン層の一部(シード領域にする部分)に酸化シリコン、窒化シリコン等でマスクを形成し、熱酸化法によりシード領域以外を酸化する方法により、酸化シリコン領域及びシード領域を形成する方法や、多結晶シリコン層上に酸化シリコン、窒化シリコン層等をCVD法、スパッタ法、プラズマCVD法等で形成後、該酸化シリコン、該窒化シリコン層等に穴を開け、下層部の多結晶シリコンを露出させることで、シード領域を形成する方法など種々の方法がある。

これら種々のシード領域形成法のうちでも、特に、イオン注入法によりシード領域を形成する方

法は、シード領域と酸化シリコン領域との間で大きな段差を生ずることも無く、シード領域と酸化シリコン領域をほぼ平面上に形成することも可能である。その結果、積層された非晶質層にクラック等の欠陥を生ずることも無くなり、又、熱処理による結晶成長時に問題となる段差部での多結晶核発生の問題も回避できることから、シード領域の形成方法として、特に優れている。

〔発明の効果〕

以上述べた様に、本発明によれば、非晶質シリコン層をシード領域によって選択的に結晶成長させ、結晶粒界が存在する位置を制御することが可能となった。その結果、結晶化された領域に選択的に半導体素子を形成することが可能となった。本発明によれば、シリコンウェーハ上に形成したMOSトランジスタ等に近い場合によっては、それを上回る）高性能なTFT等が実現された。

その結果、大形で高解像度の液晶表示パネル、

TFTの場合を述べたが、TFT以外にも、MIS型TFT、バイポーラ型トランジスタ、静電誘導型トランジスタをはじめとする半導体素子全般に適用できることは言うまでも無い。

4 図面の簡単な説明

第1図(a)～(c)及び第2図(a)～(c)は本発明の実施例における半導体装置の製造工程図である。第1図は断面図を、第2図は平面図を示す。

第3図は結晶成長の模式図である。

第4図は結晶粒界が存在する位置の模式図である。

第5図～第7図は本発明の実施例における連結領域の平面図である。

第8図(e)～(g)は本発明の実施例における半導体装置の製造工程図であり、シード領域形成方法の一例を示す。

101, 801 ……絶縁性非晶質材料

102 ……シリコンの島

高速で高解像度の密着型イメージセンサが実現されたばかりでなく、密着型イメージセンサを例にとるならば、従来型が、走査回路をTFTで形成し、受光部と同一基板上に集積する程度がTFTの特性からみて限界であったが、本発明によれば走査回路以外にも増巾回路、演算回路、記憶回路等も集積化することができる。

又、TFT等のMOS型の半導体素子を形成する場合において、ゲート絶縁膜を熱酸化法ではなく、OVD法、プラズマOVD法等の低温プロセスで形成すれば、基板として安価なガラス基板等を使用でき、大型な液晶表示パネル、密着型イメージセンサ等の半導体装置を低コストで作製できる。又、高温プロセスを通らない為、大型基板では特に問題となる基板のそり、変形等も極めて少ない。その他に、三次元ICを形成する場合においても、下層部の素子に悪影響（例えば、不純物の拡散等）を与えずに、上層部に半導体素子を形成することもできる。

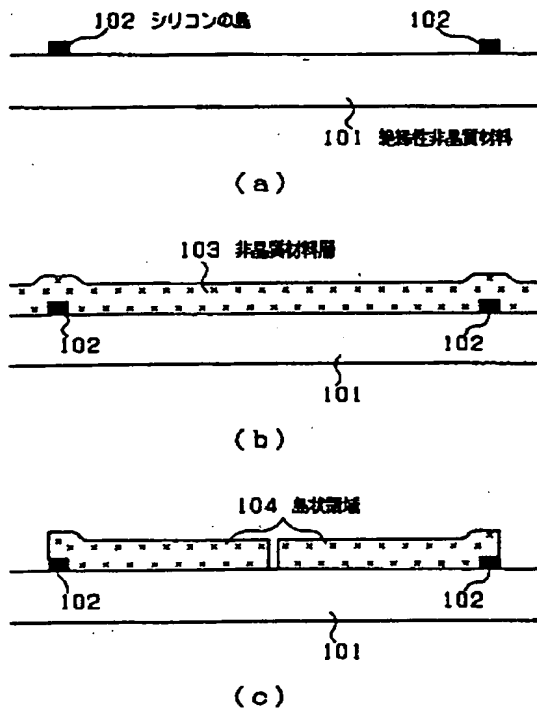
尚、本発明の実施例では、半導体素子としてT

103, 806 ……非晶質材料層
104, 302, 405, 502, 602, 702 ……島状領域
105, 303, 406, 503, 603, 703 ……連結領域
301, 404, 501, 601, 701, 804 ……シード領域
803 ……酸化シリコン領域

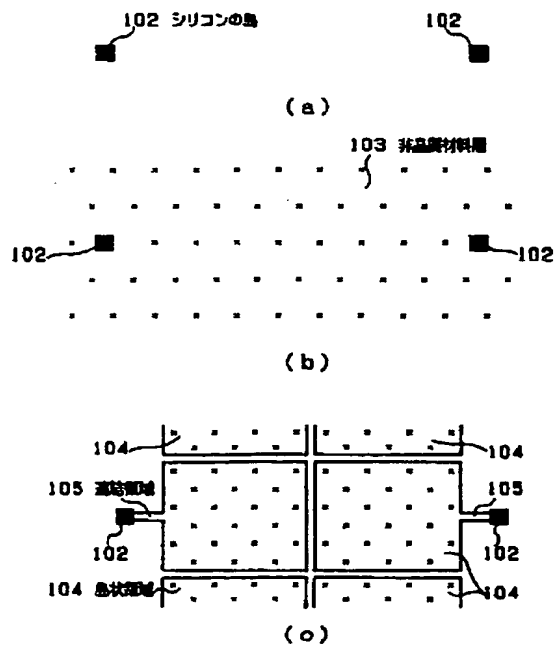
以上

出願人 セイコーエプソン株式会社

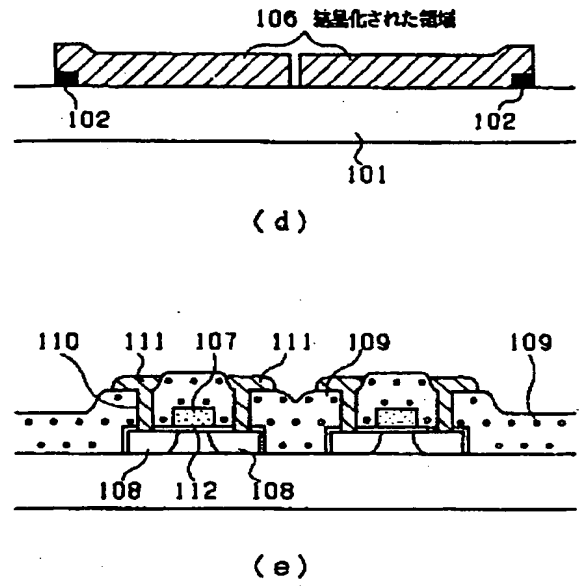
代理人 弁理士 上柳雅幸(他1名)



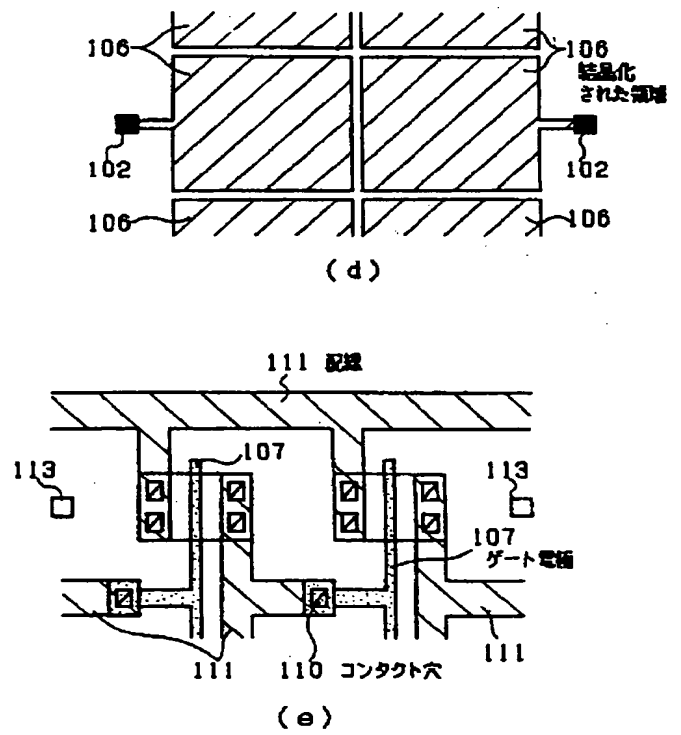
第 1 図



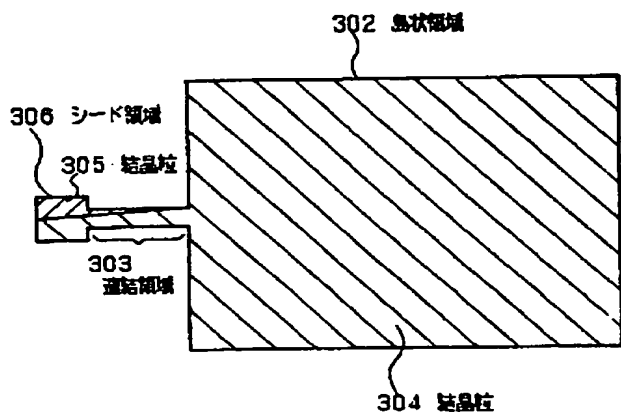
第 2 図



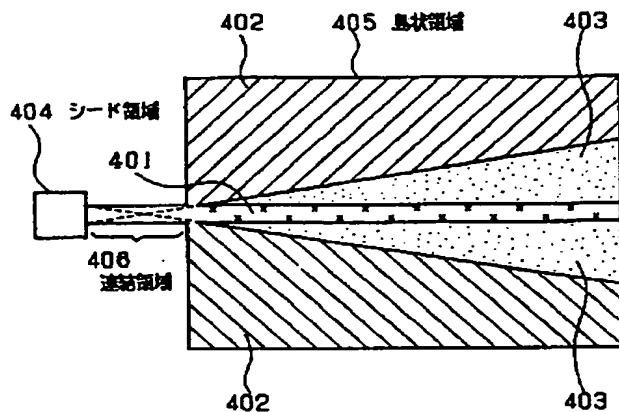
第 1 図



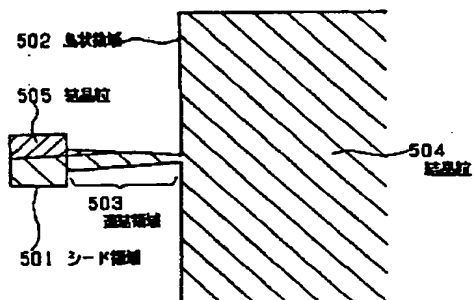
第 2 図



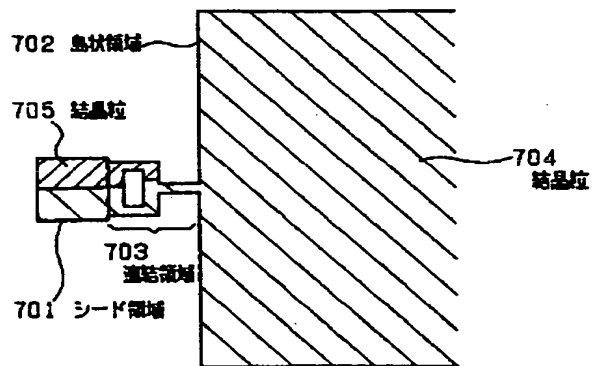
第 3 図



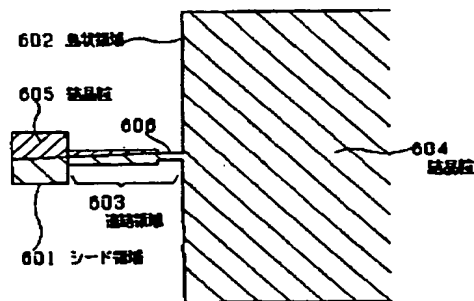
第 4 図



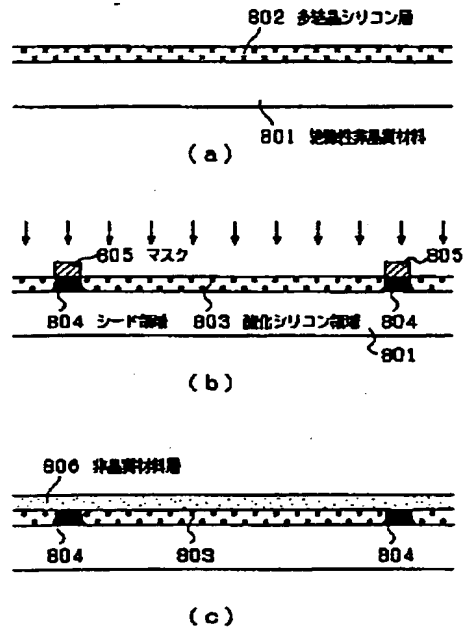
第 5 図



第 7 図



第 6 図



第 8 図